

521 EI 112

(54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP

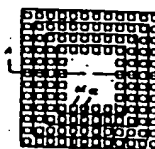
(21) Appl. No. 55-105911 (22) 31.7.1980

(71) FUJITSU K.K. (72) JIYUNJI SAKURAI

(51) Int. Cl. H01L23/48, H01L21/58

PURPOSE: To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

CONSTITUTION: IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chips is protected by an insulating film 9. The required connecting pad 2d of the chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl.³ 識別記号
H 01 L 23/48
H 01 L 21/58

庁内整理番号
6819-5F
6679-5F

⑬ 公開 昭和57年(1982)2月19日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭55-105911

⑯ 出 願 昭55(1980)7月31日

⑰ 発 明 者 桜井潤治

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 松岡宏四郎

特許公報の記号

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体素子が集積されてなる素子基板上に、
層状に形成され、各層に外部との導電パッドが設
けられた多層半導体集積回路チップをパッケージ
ング内に封入した半導体装置において、該パッケ
ージ内の内部パッドが隆起状に多層に付けられ、
対応する層の前記導電パッドと内部パッドとが
互を導通させるように形成されていることを特徴と
する半導体装置。

(2) 前記外部導電体がボンディングワイヤーである
ことを特徴とする特許請求の範囲第1項記載の
半導体装置。

(3) 前記導電パッドの一部分の形状と前記内部パ
ッドの一部分の形状とが互に対応するよう形成され、
前記多層半導体集積回路チップをフェースダウン
状態でかつ前記外部導電体として前記パッド
とを介して接続していることを特徴とする特許請

求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを設けた半
導体装置の構造に関する。電子計測機器等は各
種通信装置等の電子機器に於ては、半導体素子の
実装密度を向上せしめることが装置の小型化大容
量化を促る上で極めて重要なことである。

七して上記目的のために大規模集積回路 (LSI)
等の半導体集積回路 (IC) に於て、パッケージ
の素子実装密度を向上せしめる材料として、(1)
複数の LSI チップを 1 (個) の半導体パケ
ージ内に封入する構造、(2) LSI チップの表面に
半導体素子を形成する構造、(3) LSI チップを接
収した半導体パッケージを積み重ねる構造、(4)
LSI 上に形成した絶縁層上に半導体素子を形成し
レーザ・アニールで該半導体素子を単結晶化し、該
単結晶半導体層に LSI を形成する構造 (日経エ
レクトロニクス 2-18 (1980) P. 82 参照)
等があるが、(1)~(4)の構造に於ては単結晶及び機
器に対する実装密度の大幅な向上は期待できず、

以下本発明を第1図及び第2図に示すチップ状
層構造に於ける二つの実施例の上面図(a)及びA-
A'矢視断面図(b)、第3図及び第4図に示すパ
ッケージへのチップ実装構造に於ける二つの実施例
の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各素子集
成層としての半導体ICチップは、通常行われる
例えばMIS型ICの製造工程に従って、ゲート
酸化膜、ゲート電極、ソース・ドレイン領域、配
線等の形成が完了せしめられ、配線のための導通
用パッドであるボンディング・パッドのみを残
して上面が保護膜ガラス(PSG)等の表面保護
絶縁膜で覆われてなっている。なお上記ボンディ
ング・パッドにはバンプ状電極が形成される場
合もある。

そして例えば第1図(a)及び(b)に示すような多層
半導体ICチップの積層構造に於ては、第1層の
半導体ICチップ1a、第2層のチップ1b、第
3層のチップ1c及び第4層のチップ1dの4(辺)
に沿った周縁部に導通所望数のボンディング・パ

又第2図(a)及び(b)は同じチップ・サイズの半導体
体ICチップを積層する際の構造を異なる別の一
実施例で、この場合は各層半導体ICチップ例え
ば1a、1b、1c及び1dのボンディング・パ
ッド2a、2b、2c及び2dは該チップに於け
る隅り合った2(辺)に沿う縁部のみ形成され
る。そしてチップを積層する際に用いる接着層3
としては前記同様な絶縁性樹脂、導電性接着剤或る
いはろう材が使用される。(図中9は表面保護絶
縁膜を被褥す)

本実施例の半導体装置は上記のような多層半導
体集積回路チップを半導体パッケージ内に配設し
た構造を有しており、その一実施例に於ては第3
図の断面模式図に示すように、半導体パッケージ
40のチップ・ステージ5上に前記のように半導体
ICチップ1a、1b、1c及び1dが順次積層
された多層半導体集積回路チップが、前記同様な
絶縁性樹脂、導電性接着剤或るいはろう材等からな
る接着層3により固着されており、上記チップの
所望のボンディング・パッド(通常は絶縁のボン

又(4)の構造に於ては集積度及び実装密度は大幅に
向上するが、各層の回路端子が突出しないので、
各層に形成されているLSIのプロセス機能や回
路機能を個々に検査することが困難であるという
問題があった。

本発明は上記問題点に鑑み、集積回路(IC)
チップを積層し、パッケージ寸法の拡大すること
を省力抑え且つパッケージ当りのICの集積度を
大幅に向上せしめ、更ICチップ毎のプロセス
機能及び回路機能を個々に測定することが可能な
構造を有する多層半導体集積回路チップをパッケ
ージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子
集積層が多層に積層され、各層に外部との導通パ
ッドが設けられた多層半導体集積回路チップをパ
ッケージ内に封入した半導体装置において、該パ
ッケージ内の内部パッドが所設状に多層に設けら
れ、対応する層の前記導通パッドと内部パッド
とが外部導体を介して接続されてなることを特徴
とする。

パッド2a、2b、2c或るいは2dが形成されて
あり、各層チップの大きさは、上層のチップを被
せた際に下層チップのボンディング・パッドが上
層チップの周辺部(外側)に突出するように、上
層チップになるに従って順次小さく形成される。
(図中9は表面保護絶縁膜を被褥す)

そしてこれら半導体ICチップを積層固着する
際の接着層3はシリコン樹脂、エポキシ樹脂或る
いはポリ・イミド等の絶縁性樹脂、銀ペースト等
の導電性接着剤或るいは金-鉛(Au-Sn)等の合
金からなるろう材により形成される。なお上記の
中、ろう材を用いて接着を行う際には下層の半導
体ICチップの表面保護絶縁膜9上に予めAu等
からなるメタライズ層を形成しておく必要があり、
又導電性接着剤或るいはろう材を用いて接着する
構造に於ては、下層チップの表面保護絶縁膜9に
於ける周縁部以外の所望の場所にコンタクト窓を
形成し、前記導電性接着剤或るいはろう材を介し
て上層チップの所望の領域と縦方向に電気的接続
を行う際に有利である。

多層半導体装置に於ける一実施例の断面模式図

て、本実施例に於てはボンディング・パッド2a、2b、2c部に鉛-錫(Pb-Sn)半田等からなるパンプ電極8a、8b、8cを有する半導体ICチップ1a、1b、1cを前述のように積層形成せしめた多層半導体装置回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cによりろう着固定し、該パンプ電極8a、8b、8cを外部導体として介して各層半導体ICチップ1a、1b、1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす)

なお該構造に於ては各層の半導体ICチップの厚さと半導体パッケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが積層固定されてなっているため、

すし一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体ICの製造歩留まりが向上すると同時に、電子計算機或いは電子通信装置等の電子機器の小型化、大容量化が図れる。

4. 図面の簡単な説明

第1図及び第2図は本発明の多層半導体装置回路に於けるチップ積層構造の二つの実施例を示し(a)はその上面図、(b)はそのA-A'矢視断面図である。又第3図及び第4図は本発明に於けるパッケージへのチップ実装構造の二つの実施例の断面模式図である。

図に於て1aと1bと1cと1dは素子無層である半導体無層回路チップ、2aと2bと2cと2dはボンディング・パッド、3は積層層、4は半導体パッケージ、5はチップ・スタック、6aと6bと6cはパッケージの内部パッド、7及び7'は外部導体、8aと8bと8cはパンプ電極

チップ1a、1b、1c及び2cと2bと2aとの間に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cを有する半導体ICチップ1a、1b、1cを前述のように積層形成せしめた多層半導体装置回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6c、6b、6a上に、前記パンプ電極8a、8b、8cによりろう着固定し、該パンプ電極8a、8b、8cを外部導体として介して各層半導体ICチップ1a、1b、1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす)

として本実施例に於ては最上層のチップ1dの所定のボンディング・パッド2dとその下層のチップ1cの所定のボンディング・パッド2cとはワイヤ・ボンディングにより外部導体7'で接続された構造を有しており、各チップに形成された回路を共通の電極に接続する際等にはこのような外部導体接続が行われる。なお該構造に於て半導体パッケージ4の内部パッド6a、6b及び6cはそれぞれ対応する多層半導体装置回路チップ1a、1b及び1cのボンディング・パッド2a、2b或いは2cとほぼ等しい高さに形成されることとする。

又第4図は多層半導体装置回路チップをフェース・ダウン構造で半導体パッケージに搭載する本

発明の多層半導体装置回路チップの積層固定されるパッケージ法の拡大を極めて小さくしながら、パッケージの内部配線(集積度)を大幅に向上せしめることができると同時に、各層半導体ICチップのボンディング・パッド部或はパンプ電極8a、8b、8cとパッケージの内部配線とをそれぞれ接続する内部配線が個々にパッケージの内部パッド6c、6b、6a上に形成された構造を有するので、該多層半導体装置回路チップのチップ毎にプロセス機械及び回路機能を放出することができ製造歩留まりの向上が図れる。

さらに本発明の半導体装置のパッケージの内部パッド6a、6b、6cの部分が多層半導体装置回路チップのボンディング・パッド2a、2b、2cとほぼ対応するように形成されているので前記チップの実装が容易に行なわれる。

又本発明の第1の実施例の構造に於ては、各層半導体装置回路チップのボンディング・パッドが突出しており、該突出部分によりチップのボンディング・パッドとパッケージの内部パッドとを接続することが可能である。従って、本発明の多層チップに於ては、必

TE) 00115-720000

田舎用新刊第4号
9は表面保護膜の最厚を示す。

6は厚さの異なる部分を示す。

7は厚さの異なる部分を示す。

8は厚さの異なる部分を示す。

9は厚さの異なる部分を示す。

10は厚さの異なる部分を示す。

11は厚さの異なる部分を示す。

12は厚さの異なる部分を示す。

13は厚さの異なる部分を示す。

14は厚さの異なる部分を示す。

15は厚さの異なる部分を示す。

16は厚さの異なる部分を示す。

17は厚さの異なる部分を示す。

18は厚さの異なる部分を示す。

19は厚さの異なる部分を示す。

20は厚さの異なる部分を示す。

21は厚さの異なる部分を示す。

22は厚さの異なる部分を示す。

23は厚さの異なる部分を示す。

24は厚さの異なる部分を示す。

25は厚さの異なる部分を示す。

26は厚さの異なる部分を示す。

27は厚さの異なる部分を示す。

28は厚さの異なる部分を示す。

29は厚さの異なる部分を示す。

30は厚さの異なる部分を示す。

31は厚さの異なる部分を示す。

32は厚さの異なる部分を示す。

33は厚さの異なる部分を示す。

34は厚さの異なる部分を示す。

35は厚さの異なる部分を示す。

36は厚さの異なる部分を示す。

37は厚さの異なる部分を示す。

38は厚さの異なる部分を示す。

39は厚さの異なる部分を示す。

40は厚さの異なる部分を示す。

41は厚さの異なる部分を示す。

42は厚さの異なる部分を示す。

43は厚さの異なる部分を示す。

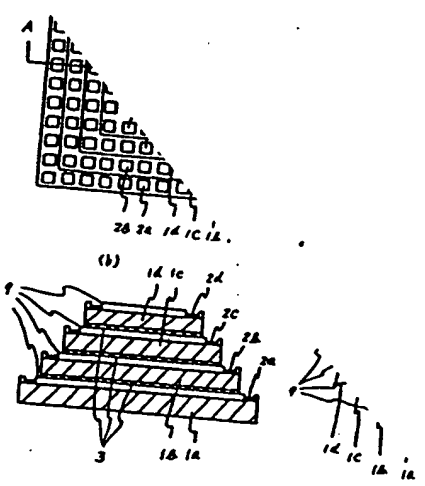
44は厚さの異なる部分を示す。

45は厚さの異なる部分を示す。

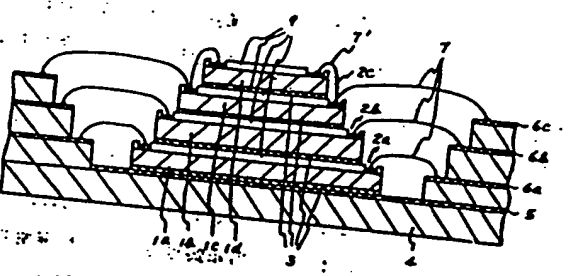
46は厚さの異なる部分を示す。

47は厚さの異なる部分を示す。

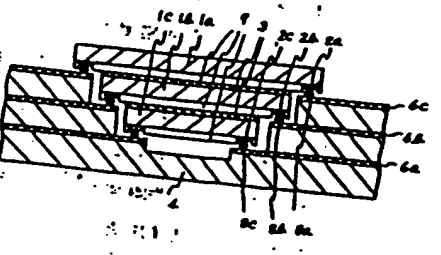
48は厚さの異なる部分を示す。



第 3 図



第 4 図



(C) 30115-12555

由本局發給之專利權證書，係根據
9. 此項專利權係根據專利法第 9 條之規定而發給。

5. 此項專利權係根據專利法第 5 條之規定而發給。

6. 此項專利權係根據專利法第 6 條之規定而發給。

7. 此項專利權係根據專利法第 7 條之規定而發給。

8. 此項專利權係根據專利法第 8 條之規定而發給。

9. 此項專利權係根據專利法第 9 條之規定而發給。

10. 此項專利權係根據專利法第 10 條之規定而發給。

11. 此項專利權係根據專利法第 11 條之規定而發給。

12. 此項專利權係根據專利法第 12 條之規定而發給。

13. 此項專利權係根據專利法第 13 條之規定而發給。

14. 此項專利權係根據專利法第 14 條之規定而發給。

15. 此項專利權係根據專利法第 15 條之規定而發給。

16. 此項專利權係根據專利法第 16 條之規定而發給。

17. 此項專利權係根據專利法第 17 條之規定而發給。

18. 此項專利權係根據專利法第 18 條之規定而發給。

19. 此項專利權係根據專利法第 19 條之規定而發給。

20. 此項專利權係根據專利法第 20 條之規定而發給。

21. 此項專利權係根據專利法第 21 條之規定而發給。

22. 此項專利權係根據專利法第 22 條之規定而發給。

23. 此項專利權係根據專利法第 23 條之規定而發給。

24. 此項專利權係根據專利法第 24 條之規定而發給。

25. 此項專利權係根據專利法第 25 條之規定而發給。

26. 此項專利權係根據專利法第 26 條之規定而發給。

27. 此項專利權係根據專利法第 27 條之規定而發給。

28. 此項專利權係根據專利法第 28 條之規定而發給。

29. 此項專利權係根據專利法第 29 條之規定而發給。

30. 此項專利權係根據專利法第 30 條之規定而發給。

31. 此項專利權係根據專利法第 31 條之規定而發給。

32. 此項專利權係根據專利法第 32 條之規定而發給。

33. 此項專利權係根據專利法第 33 條之規定而發給。

34. 此項專利權係根據專利法第 34 條之規定而發給。

35. 此項專利權係根據專利法第 35 條之規定而發給。

36. 此項專利權係根據專利法第 36 條之規定而發給。

37. 此項專利權係根據專利法第 37 條之規定而發給。

38. 此項專利權係根據專利法第 38 條之規定而發給。

39. 此項專利權係根據專利法第 39 條之規定而發給。

40. 此項專利權係根據專利法第 40 條之規定而發給。

41. 此項專利權係根據專利法第 41 條之規定而發給。

42. 此項專利權係根據專利法第 42 條之規定而發給。

43. 此項專利權係根據專利法第 43 條之規定而發給。

44. 此項專利權係根據專利法第 44 條之規定而發給。

45. 此項專利權係根據專利法第 45 條之規定而發給。

46. 此項專利權係根據專利法第 46 條之規定而發給。

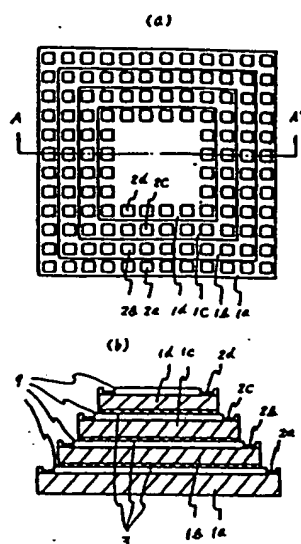
47. 此項專利權係根據專利法第 47 條之規定而發給。

48. 此項專利權係根據專利法第 48 條之規定而發給。

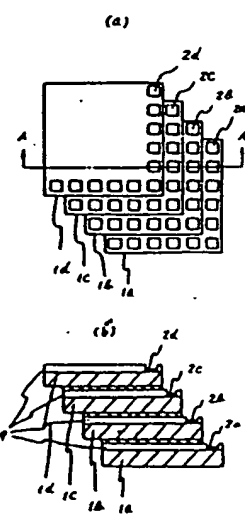
49. 此項專利權係根據專利法第 49 條之規定而發給。

110057- 31166(4)

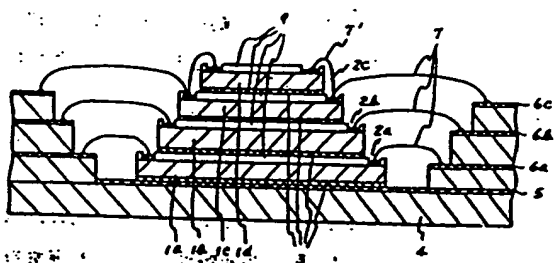
第 1 圖



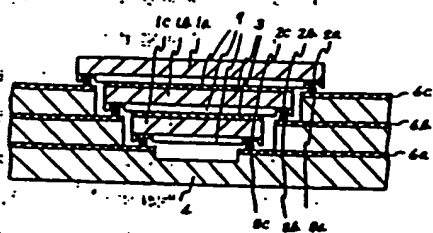
第 2 圖



第 3 圖



第 4 圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.